

【特許請求の範囲】

【請求項1】

半導体素子および該素子を含む回路網を複合的に解析するための複合シミュレーションにおいて解析対象となる素子および回路網をモデリングする方法であって、
回路網に含まれる複数の素子のそれぞれの構造を抽出し該抽出した各構造を示す素子モデルを形成する素子抽出ステップと、
前記各素子モデル間の電氣的な接続を断つ絶縁部を介して当該各素子モデルを連結する素子連結ステップと、
前記素子抽出ステップで抽出された複数の素子を除く回路網部分を示す回路網モデルを前記連結された素子モデルのうちの所定の素子モデルに接続する回路接続ステップとを含むことを特徴とするモデリング方法。 10

【請求項2】

前記素子抽出ステップにおいて、それぞれに対応する素子の断面構造を示すモデルを素子モデルとする請求項1記載のモデリング方法。

【請求項3】

前記素子抽出ステップにおいて、それぞれに対応する素子の立体構造を示すモデルを素子モデルとする請求項1記載のモデリング方法。

【請求項4】

前記素子連結ステップにおいて、連結すべき各素子モデル間の部分的な導通を許す導通部を介して当該各素子モデルを連結する請求項1記載のモデリング方法。 20

【請求項5】

前記素子連結ステップにおいて、連結すべき各素子モデル間に空隙を与える空間部を形成する請求項1記載のモデリング方法。

【請求項6】

さらに、前記回路網部分が接続された素子モデルの電極部における所定の複数の電位点に相互に異なる電位を設定する電極電位設定ステップを含む請求項1記載のモデリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 30

本発明は、半導体素子および該素子を含む回路網を複合的に解析するための複合シミュレーションを行うべく、解析対象となる素子および回路網をモデリングする方法に関する。

【0002】

【従来の技術】

従来、MOS (Metal Oxide Semiconductor) トランジスタのような半導体素子の特性を素子単位で解析するデバイスシミュレーションの手法と、回路網全体の特性を解析する回路シミュレーションの手法とを利用して、回路網に含まれる素子を当該回路網と共に複合的に解析する複合シミュレーションが知られている。この種のシミュレーション技術は、例えば、後述する特許文献1および2に開示されている。

【0003】 40

一般的に、複合シミュレーションでは、解析対象となる素子を2次元あるいは3次元でモデリングした素子モデルと、その他の回路網部分を示す回路網モデルとを統合し、素子モデルをデバイスシミュレーションにより解析する。そして、このデバイス解析から得られたパラメータと、予め用意した回路網のネットリストとを用いて、回路網全体が回路シミュレーションにより解析される。これにより、当該回路網において動作される前記素子の特性を知ることができる。複合シミュレーションのためのソースコードを作成するにあたっては、一般的に、デバイス解析のための汎用のソースコードを変更し、これをインタフェースコードを介して回路解析のソースコードに統合する。

【0004】

【特許文献1】 50

特開平 09-082938 号公報

【特許文献 2】

特開 2000-260973 号公報

【0005】

【発明が解決しようとする課題】

ところで、複合シミュレーションにおいて回路網の複数の素子に着目する場合、従来の技術では、各素子モデルをそれぞれ別個の解析領域として取り扱い、それらの領域毎にデバイス解析を行う。例えば、n 型および p 型の一对の MOS トランジスタを用いた CMOS (Complementary MOS) トランジスタ (以下、単に「CMOS」と称する。)に着目した 2 次元の複合シミュレーションでは、n 型および p 型の各 MOS トランジスタが個別にデバイス解析される。 10

【0006】

しかしながら、このように複数の素子を取り扱う場合、ソースコードの形成時には複数のデバイス解析領域を考慮する必要があることから、デバイス/回路解析間のインタフェース部分の調整が煩雑になり、ソースコードの形成作業に手間が掛かるという不都合がある。

【0007】

本発明は、前記した課題に鑑みてなされたものであり、ソースコードの形成を煩雑化することなく複合シミュレーションにより複数の素子を解析するための、半導体素子および回路網のモデリング方法を提供することを目的とする。 20

【0008】

【課題を解決するための手段】

本発明に係るモデリング方法は、半導体素子および該素子を含む回路網を複合的に解析するための複合シミュレーションにおいて解析対象となる素子および回路網をモデリングする方法であって、回路網に含まれる複数の素子のそれぞれの構造を抽出し該抽出した各構造を示す素子モデルを形成する素子抽出ステップと、前記各素子モデル間の電気的な接続を断つ絶縁部を介して当該各素子モデルを連結する素子連結ステップと、前記素子抽出ステップで抽出された複数の素子を除く回路網部分を示す回路網モデルを前記連結された素子モデルのうちの所定の素子モデルに接続する回路接続ステップとを含む方法である。

【0009】

前記素子抽出ステップにおいて、それぞれに対応する素子の断面構造を示す 2 次元的なモデルを素子モデルとすることができ。また、これに代えて、それぞれに対応する素子の立体構造を示す 3 次元的なモデルを素子モデルとすることができ。 30

【0010】

前記素子連結ステップにおいて、連結すべき各素子モデル間の部分的な導通を許す導通部を介して当該各素子モデルを連結することができる。この導通部を形成すべく、例えば、各素子モデルを部分的に直結してもよい。

【0011】

前記素子連結ステップにおいて、連結すべき各素子モデル間に空隙を与える空間部を形成することができる。 40

【0012】

本発明に係るモデリング方法に、さらに、前記回路網部分が接続された素子モデルの電極部における所定の複数の電位点に相互に異なる電位を設定する電極電位設定ステップを追加することができる。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態を具体例を用いて説明する。

〈具体例 1〉

図 1 は、本発明に係るモデリング方法の具体例 1 を説明するための説明図である。具体例 1 のモデリング方法は、素子の断面構造を示す 2 次元の素子モデルを用いた複合シミュレ 50

ーションに適用することができる。本具体例では、図2(a)に示す回路網100においてインバータ回路を構成する同図(b)のCMOS100Aに着目した複合シミュレーションを行う際のモデリング例を示す。

【0014】

CMOS100Aは、図2(b)に示すように、チャネル幅が W_n [μm]のnMOS部101およびチャネル幅が W_p [μm]のpMOS部102が、素子分離のためのLOCOS酸化膜103を介してp型半導体基板104上で相互に隣接して形成された素子である。図示の例では、説明のため、当該CMOS100Aが3次元的に示されている。nMOS部101およびpMOS部102は、それぞれ従来よく知られたn型MOSトランジスタおよびp型MOSトランジスタの機能を果たす。

10

【0015】

具体例1のモデリング方法の手順を図3に示すフローチャートに沿って説明する。具体例1の手順は、図3に示すステップS1に対応する素子抽出ステップ、ステップS2に対応する素子連結ステップ、および、ステップS3に対応する回路接続ステップに大別することができる。

【0016】

素子抽出ステップでは、図2(b)のCMOS100AにおけるnMOS部101およびpMOS部102上に掛け渡されたゲート部105に直交し、且つ、nMOS部101およびpMOS部102のそれぞれのドレイン部106およびソース部107に沿って伸びる1-1'線および2-2'線に基づいて、nMOS部101およびpMOS部102の断面構造を抽出し、これらの構造を示す2次元の素子モデルであるnMOSモデル101aおよびpMOSモデル102aを形成する(ステップS1)。

20

【0017】

そして、素子連結ステップでは、図1に示すように、nMOSモデル101aのドレイン106aと、pMOSモデル102aのソース107a'とが隣接するように両モデルを横列させる。nMOSモデル101aおよびpMOSモデル102a間には、当該両モデル間の電気的な接続を断つ絶縁部10を配置し、また、絶縁部10の下方には、両モデル間の部分的な導通を許す導通部11を設ける(ステップS2)。このようにnMOSモデル101aおよびpMOSモデル102aを相互に連結させることにより、これら複数のモデルを、デバイス解析における同一の解析領域として一括的に取り扱うことができる。

30

【0018】

前記した絶縁部10として、例えば SiO_2 のように、誘電率を「0」として扱うことができる部材を想定することができ、そのサイズは、nMOSモデル101aのドレイン106aおよびpMOSモデル102aのソース107a'の電位が相互に影響を受けない程度に適宜設定することが望ましい。

【0019】

他方、導通部11としては、図示の例では、nMOSモデル101aのpウェル101b、および、pMOSモデル102aのnウェル102bを部分的に直結させた箇所を適用しているが、この例に替えて、当該直結部分に他の導電部材を配置してもよい。導通部11は、実際のCMOS100AにおけるnMOS部101およびpMOS部102間で発生し得る導通現象を考慮して設けられたものであり、そのサイズは適宜設定することができる。

40

【0020】

さらに、回路接続ステップでは、回路網100における配線状態に合わせて、nMOSモデル101aおよびpMOSモデル102aに回路網モデル100'を接続する(ステップS3)。本具体例の回路網モデル100'は、図2(a)の回路網100におけるCMOS100Aを除く回路網部分に対応し、図1に示す例では、nMOSモデル101aのソース107a、ゲート105aおよびドレイン106a上にそれぞれ設けられた電極部12a~12cと、pMOSモデル102aのソース107a'、ゲート105a'およびドレイン106a'上にそれぞれ設けられた電極部12d~12fと、連結された両モ

50

デル101aおよび102aの底部に設けられた電極部12gとに回路網モデル100'を接続する。

これを以て、CMOS100Aおよび回路網100の複合シミュレーションのためのモデリングが完了する。

【0021】

なお、回路網モデル100'には、前記した回路網部分の他に、CMOS100Aの3次元から2次元への形状効果を代替する回路部分を加味することができる。この回路部分として、例えば、図4のCMOS100Aに関する回路図に示すように、抵抗素子および容量素子を用いた負荷回路110を想定することができ、当該負荷回路110を、CMOS100AにおけるnMOS部101のドレイン106と、pMOS部102のソース107とを結ぶ出力端子(Vout端子)に接続する。この状態を図1の回路網モデル100'に反映させる場合、負荷回路110がモデリングされた負荷回路モデル110'を、電極部12cおよび12dに接続された回路網モデル100'内に加味する。これにより、CMOS100Aを2次元の素子モデルで表現したことによる形状効果を補償することができる。

【0022】

図1に示すような2次元的な素子モデルを扱う複合シミュレーションでは、素子および回路網間の電流値を規格化することが望ましい。例えば、図1の構成において、電極部12cおよび12dに接続された回路網モデル100'からの電流a0が、nMOSモデル101aおよびpMOSモデル102aにそれぞれ I_n [A] および I_p [A] として供給されるとする。このとき、nMOSモデル101aへの規格化電流a1は、電流 I_n をチャネル幅 W_n で除した $a1 = I_n / W_n$ [A/ μ m]とし、また同様に、pMOSモデル102aへの規格化電流a2は、 $a2 = I_p / W_p$ [A/ μ m]として取り扱う。

【0023】

具体例1のモデリング方法によれば、回路網100におけるCMOS100Aに着目した複合シミュレーションを行うにあたり、当該CMOS100Aについて、そのnMOSモデル101aおよびpMOSモデル102aが同一の解析領域に統合されることから、ソースコードを作成するうえで、デバイス/回路解析間のインタフェース部分の調整が煩雑化することを回避できる。

【0024】

〈具体例2〉

図5は、本発明に係るモデリング方法の具体例2を説明するための説明図である。前記した具体例1では、CMOS100Aのように、回路網において実質的に連結された一対の素子に着目した複合シミュレーションのモデリング例を示したが、本具体例では、回路網で相互に間隔を置いて設けられた複数の素子に着目する例を示す。その一例として、具体例1で説明した図2(a)の回路網100におけるインバータ回路のCMOS100Aと、この回路から複数の回路を経て設けられた他のインバータ回路のCMOS100Bとに着目する。なお、CMOS100Bの構成は、図2(b)に示すCMOS100Aの構成と同様であり、ここではCMOS100Bの図示を省略する。

【0025】

図5に示すように、具体例2のモデリング方法では、CMOS100AのnMOS部101に対応するnMOSモデル201aと、CMOS100BのpMOS部(図示せず)に対応するpMOSモデル202bとを横列させ、SiO₂のような絶縁部材を想定した絶縁部20を介して当該両モデル間を連結する。

【0026】

nMOSモデル201aおよびpMOSモデル202bを連結するとき、両モデル間に空隙を与える空間部21が設けられるように絶縁部20のサイズを設定し、当該絶縁部20を、nMOSモデル201aにおけるドレイン206a上の電極部22cと、pMOSモデル202bのソース207b'上の電極部22dとの間に配置する。そして、nMOSモデル201aおよびpMOSモデル202bの各電極部22a~22hに回路網モデル

100' を接続し、モデリングを完了させる。このように両モデル201aおよび202b間をAirで充填する空間部21を設けることにより、絶縁部20により連結された両者間の電氣的な絶縁性を高めることができる。

【0027】

具体例2に関する変形例として、前記した空間部21を設けることに代えて、nMOSモデル201aおよびpMOSモデル202b間を充填するサイズの絶縁部(20)を配置するようにしてもよい。また、回路網において着目すべき素子は、図示の例のようにn型MOSトランジスタおよびp型MOSトランジスタの組み合わせに限らず、適宜選定することができる。その場合、選定した素子の連結構成を考慮して、回路網モデルの接続を設定する。

10

【0028】

具体例2のモデリング方法によれば、解析対象となる回路網において相互に間隔を置いて設けられた複数の素子に関し、前記した具体例1で説明した効果と同様な効果を得ることができる。また、nMOSモデル201aおよびpMOSモデル202b間に空間部21を設けることにより、いわゆる反射型境界条件が適用されることから当該両モデル間の電氣的な絶縁性が高められる。これにより、解析対象の各素子が実際の回路網において間隔を置いて設けられている状態を正確にモデリングすることができる。

【0029】

〈応用例〉

一般的に、デバイス解析時の数値計算では、素子モデル上に格子状に想定される電位点のそれぞれについて、図6(1)～(3)に示すポアソン方程式および電子・正孔の電流連続式からなる半導体支配方程式を用いて、電位および電子・正孔濃度のような変数に対する離散化および線形化を行う。そして、全ての電位点の変数を網羅した大規模行列計算により、各電位点における変数の近似解を求める。この数値計算の際、素子モデルの電極部には、図6(4)に示すような行列式により規定される電圧固定境界条件が適用され、電極部における全ての電位点の電位が同一の値に設定される。

20

【0030】

しかしながら、素子の電極に対し、例えばサリサイド抵抗を考慮するような場合は、素子モデルの電極部における各電位点に電位のバラつきを生じることから、前記した電圧固定境界条件を適用しても適切な解析結果が得られないおそれがある。

30

【0031】

そこで、具体例1および2で示したモデリング方法により素子および回路網をモデル化する場合、素子モデルにおける電極部の設定例を示す。

本発明に係るモデリング方法の電極電位設定ステップでは、図7に示すように、具体例1の各電極部12a～12g(図1)、あるいは、具体例2の各電極部22a～22h(図5)のような、電極部30について、その電位点p1およびp2を考える。

【0032】

図7において、JAは電位点Qからp1へ供給される電流の密度を示し、同様に、JBは電位点Rからp1への電流、JCは電位点p1からp2への電流、JDは電位点Sからp2への電流、そしてJEは電位点Tからp2への電流に対応する。なお、これらの電流密度JA～JEは、それぞれ電子および正孔の双方を考慮するものとする。また、電位点p1およびp2と、仮想の電位点p1'およびp2'の間に想定された抵抗r1およびr2の値は、サリサイド抵抗のような付加的な抵抗の値として適宜設定することができる。

40

【0033】

前記したような設定において、電極部30へ流れ込む電流と、抵抗r1により電位点p1からp1'へ流れる電流i1とが等しい、すなわち電極部30においては電流の損失が発生しないと仮定する。このとき、電流i1は、図6に示す式(5)のように定義することができ、他方、抵抗r2により電位点p2からp2'へ流れる電流i2は、式(7)により定義することができる。式(5)および(7)における電子・正孔の電流密度(Jn、Jp)は、熱平衡を仮定した近似式から求められた固定値を用いることが望ましい。

50

【0034】

さらに、図7に示す電極部30の形状および電流密度等を、前記した式(5)および(7)に反映させると、電流 i_1 について、式(5)から図6(6)のような関係式を導くことができ、他方の電流 i_2 については、式(7)から式(8)を導くことができる。そして、導出された式(6)および(8)において、電極部30上の電位点 p_1 および p_2 の各電位を示す「 ψ_{p1} 」および「 ψ_{p2} 」を独立変数とすると共に、これらに相互に異なる値を設定する($\psi_{p1} \neq \psi_{p2}$)。

【0035】

素子モデルにおける電極部に関し、前記したような設定を施すことにより、当該電極部の電位点間に差異を与えることができ、これにより、サリサイド抵抗を考慮すべき電極のよう
10
な、電圧固定境界条件を適用し難い電極に対処することができる。また、各電位点の電位をそれぞれ独立して設定することにより、数値計算上の自由度が広がることから、デバイス解析における収束解を得易くなるという利点がある。

【0036】

本発明に係るモデリング方法の前記した具体例1および2では、複数の解析領域を統合すべく、一対の2次元モデルが連結される例を示したが、本発明の適用範囲はこれらに限らない。例えば、前記した各具体例の手順に沿って複数の素子モデルを相互に連結するものであれば、解析対象の素子は2個に限らず、3個以上の任意の素子モデルを単一の解析領域に統合することができる。また、素子モデルは2次元のものに限らず、素子の立体構造を示す3次元モデルに本発明を適用することができる。その場合、具体例1で説明したよ
20
うな電流の規格化を行う必要はない。

【0037】

【発明の効果】

本発明に係るモデリング方法によれば、複数の素子モデルが絶縁部を介して連結され、同一の解析領域として統合されることから、ソースコードを作成するうえで、デバイス/回路解析間のインタフェース部分の調整が煩雑になることを回避できる。すなわち、従来のようにインタフェース部分の大幅な調整を必要とせず、単に、デバイス解析のための汎用のソースコードにおける電極部分の取り扱いを変更することにより、複合シミュレーションを実現することができる。

【図面の簡単な説明】

【図1】本発明に係るモデリング方法の具体例1を説明するための説明図である。

【図2】具体例の回路網およびCMOSを説明するための説明図である。

【図3】具体例1のモデリング方法の手順を示すフローチャートである。

【図4】具体例1における負荷回路の接続例を説明するための説明図である。

【図5】本発明に係るモデリング方法の具体例2を説明するための説明図である。

【図6】本発明に係るモデリング方法の応用例を説明するための説明図である。

【図7】応用例における電極部の設定例を説明するための説明図である。

【符号の説明】

10、20 絶縁部

11 導通部

12a～12g、22a～22h、30 電極部

100' 回路網モデル

101a nMOSモデル

102a pMOSモデル

101b pウエル

102b nウエル

105a、105a' ゲート

106a、106a' ドレイン

107a、107a' ソース

100 回路網

30

40

50

100A、100B CMOS

101 nMOS部

102 pMOS部

103 LOCOS酸化膜

104 p型半導体基板

105 ゲート部

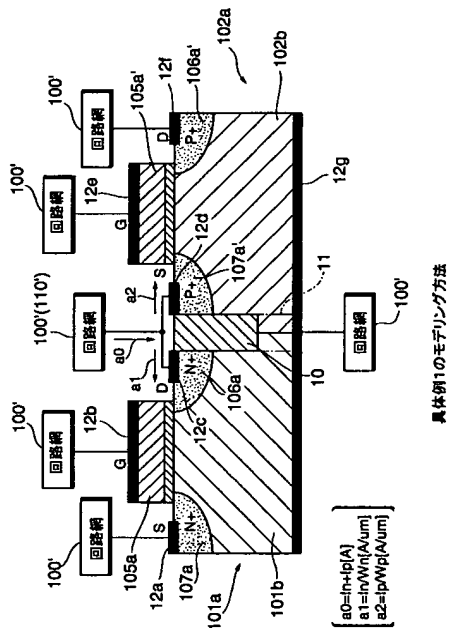
106 ドレイン部

107 ソース部

110 負荷回路

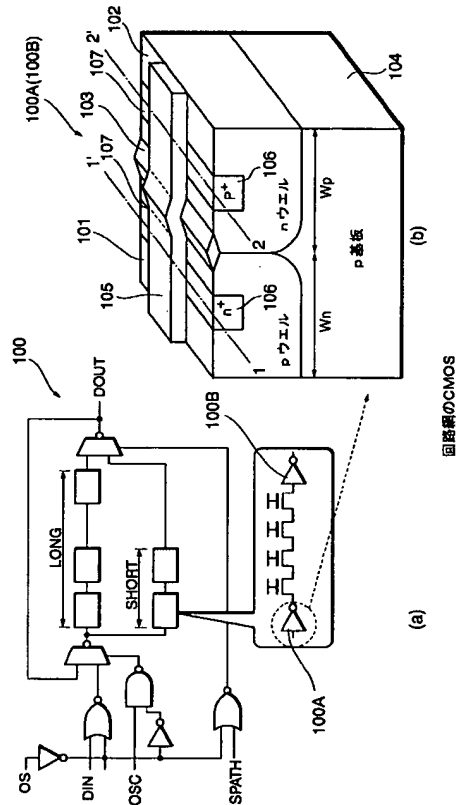
21 空間部

【図1】

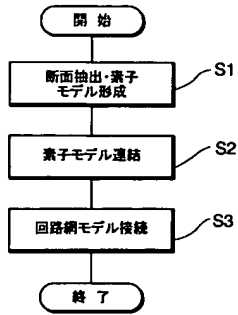


具体例1のモザリング方法

【図2】

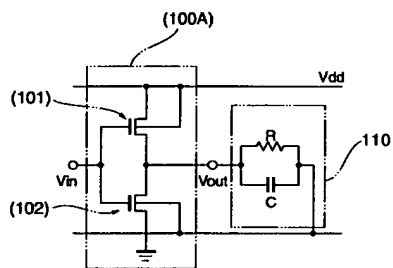


【図 3】



具体例1のフローチャート

【図 4】



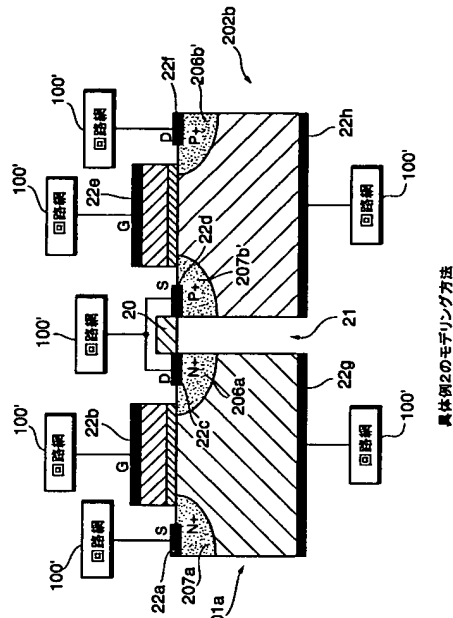
負荷回路の接続例

【図 6】

(1)	$-\nabla \cdot (\varepsilon \nabla \psi) = q(ND - NA + p - n)$
(2)	$\partial n / \partial t + \nabla \cdot J_n = GR$
(3)	$\partial p / \partial t - \nabla \cdot J_p = GR$
(4)	$\begin{pmatrix} 1 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} n \\ p \\ \psi \end{pmatrix} = \begin{pmatrix} n0 \\ p0 \\ \psi0 + V1 \end{pmatrix}$
(5)	$\int \text{div} J_n \, dv + \int \text{div} J_p \, dv = i1$
(6)	$JA \cdot \Delta y1 + JB \cdot \Delta x1 + JC \cdot \Delta y1 = (V_{ext} - \psi p1) / r1$
(7)	$\int \text{div} J_n \, dv + \int \text{div} J_p \, dv = i2$
(8)	$JC \cdot \Delta y1 + JD \cdot \Delta x2 + JE \cdot \Delta y1 = (V_{ext} - \psi p2) / r2$
ε : 誘電率 q : 単位電荷 ND : ドナー濃度 NA : アクセプタ濃度 n : 電子濃度 p : 正孔濃度 ψ : 電位 J_n : 電流密度(電子) J_p : 電流密度(正孔) GR : 単位時間に単位体積あたりに発生する電子(正孔)の数 $n0, p0, \psi0$: 熱平衡時の各値 $V1$: 外部電圧	

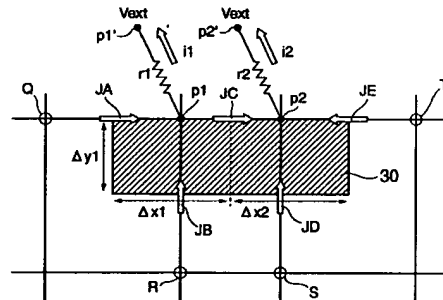
モデリング方法の応用例

【図 5】



具体例2のモデリング方法

【図 7】



電極部の設定例